

PATENT ABSTRACTS OF JAPAN

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

(11) Publication number : **2003-229917**

(43) Date of publication of application : **15.08.2003**

(51) Int.Cl. **H04L 25/03**

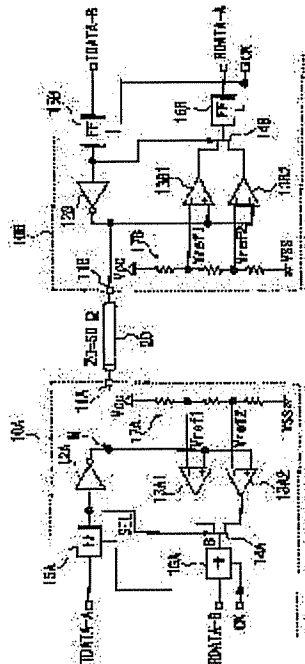
H03K 19/0175

H03K 19/20

(21) Application number : **2002-027895** (71) Applicant : **HITACHI LTD**

(22) Date of filing : **05.02.2002** (72) Inventor : **TOYOSHIMA**
SHUNSUKE
FUJIMURA
YASUHIRO
TAKAHASHI
TOSHIRO

(54) DATA TRANSMISSION SYSTEM



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technology by which received data can be exactly discriminated even when the power supply voltage of a semiconductor integrated circuit having a simultaneous two-way interface is lowered.

SOLUTION: Input circuits (13) comprising the simultaneous two-way interface are prepared as many as the number of reference voltages to be used, the fixed

reference voltage is applied to each of the input circuits and while using a differential amplifier circuit with an N-channel MOSFET as a differential element for the input circuit to be applied with the reference voltage of a high level and using a differential amplifier circuit with a P-channel MOSFET as a differential element for the input circuit to be applied with the reference voltage of a low level, the received data are obtained by switching the output of two differential amplifier circuits by a selector (14) corresponding to own output data.

CLAIMS

[Claim(s)]

[Claim 1] The 1st semiconductor integrated circuit equipped with the data signal output circuit connected to the external terminal and this external terminal, The 2nd semiconductor integrated circuit equipped

with the data signal input circuit connected to the external terminal and this external terminal. It is the system which ready-for-sending ability comes to consist of said 1st semiconductor integrated circuit to said 2nd semiconductor integrated circuit in a data signal through the transmission line connected to said external terminal. Said data signal input circuit consists of two or more differential amplifying circuits which compare the signal and reference voltage which were inputted into the data input terminal, and distinguish an input signal. The circuit where the highest reference voltage was impressed among said differential amplifying circuits consists of a differential amplifying circuit of the 1st type with which the input differential transistor was constituted by the N channel mold field-effect transistor. The circuit where the lowest reference voltage was impressed among said differential amplifying circuits consists of a differential amplifying circuit of the 2nd type with which the input differential transistor was constituted by the P channel mold field-effect transistor. The data transmission system characterized by being constituted and becoming so that received data may be distinguished from identifying three or more level of said transmission line by these differential amplifying circuits.

[Claim 2] Said differential amplifying circuit is a data transmission system according to claim 1 characterized by being the circuit which has a latch function.

[Claim 3] The data transmission system according to claim 1 or 2 characterized by connecting a terminator between the edge by the side of the 2nd [of said transmission line / said] semiconductor integrated circuit, and a supply voltage terminal, and the multiple-value level of said transmission line constituting binary information 2 bits or more possible [transfer] simultaneously.

[Claim 4] The 1st semiconductor integrated circuit and 2nd

semiconductor integrated circuit which were respectively equipped with the data signal output circuit and data signal input circuit which were connected to the external terminal and this external terminal of I/O combination. It is the system which it comes to constitute each other possible [data transmission] through the transmission line connected to said external terminal. Said data signal input circuit consists of two or more differential amplifying circuits which compare the signal and reference voltage which were inputted into the data input terminal, and distinguish an input signal. The circuit where the highest reference voltage was impressed among said differential amplifying circuits consists of a differential amplifying circuit of the 1st type with which the input differential transistor was constituted by the N channel mold field-effect transistor. The circuit where the lowest reference voltage was impressed among said differential amplifying circuits consists of a differential amplifying circuit of the 2nd type with which the input differential transistor was constituted by the P channel mold field-effect transistor. The bidirectional data transmission system characterized by being constituted and becoming so that received data may be distinguished from identifying three or more level of said transmission line by these differential amplifying circuits.

[Claim 5] It is the bidirectional data transmission system according to claim 4 characterized by being constituted so that a selector circuit may be established in the latter part of said differential amplifying circuit, this selector circuit may choose the output of any one differential amplifying circuit between said two or more differential amplifying circuits according to the data signal which should be outputted from said data signal output circuit in the semiconductor integrated circuit concerned and it may transmit to an internal circuitry.

[Claim 6] Said differential amplifying circuit is a bidirectional data

transmission system according to claim 5 characterized by being the circuit which has a latch function.

[Claim 7] The bidirectional data transmission system according to claim 5 characterized by coming to have the hazard prevention circuit which can adjust the timing of the change control signal of said selector circuit based on the data signal which should be outputted from said data signal output circuit, and the output signal of said selector circuit.

[Claim 8] The bidirectional data transmission system according to claim 4 to 7 characterized by establishing the circuit which generates said reference voltage in each of said 1st semiconductor integrated circuit and 2nd semiconductor integrated circuit.

[Claim 9] The bidirectional data transmission system according to claim 4 to 8 characterized by establishing the impedance equalization circuit for taking adjustment with the impedance of said transmission line in said data signal output circuit.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is applied to the signal transmission to which the transmission line takes three or more level at a digital signal transmission technical pan, concerning an effective technique, is used for a simultaneous bidirectional data transmission system or the signal-transmission system by multiple-value level, and relates to an effective technique.

[0002]

[Description of the Prior Art] Before, the simultaneous bidirectional interface called SBTL which makes data ready-for-sending ability

simultaneously from the both sides of the transmission line is known. In a simultaneous bidirectional interface, in order for the one transmission line to perform bidirectional data transmission, the level on the transmission line takes one condition of a total of three level, a low level, high level, and those medium level, according to the combination of two data transmitted from both directions. Therefore, the method which prepares two reference potentials (logic judging level) for the input buffer (comparator) of a receiving side, and distinguishes received data is taken.

[0003] The conventional simultaneous bidirectional interface had the common method which distinguishes received-data RDATA-B and RDATA-A by making it change as a broken line shows the reference potential which equips each chip with an output buffer OBF, an input buffer IBF, and the reference potential generating circuit VRG, and is generated in the reference potential generating circuit VRG to drawing 12 (a) and (b) according to own transmit data TDATA-A and TDATA-B, as shown in drawing 11 .

[0004] However, the change method of this reference potential has the trouble that the jitter (gap of change timing) of received data becomes large by the change of reference potential. When this sets an input buffer to one and reference potential is changed, even if it is the same received data, it is for the timing (point that a received-data wave crosses reference potential) of a judgment to shift in the time when reference potential is high, and the low time. Moreover, if the case where reference level changes is considered when received data change, even when it is the case where the direction of change of reference level is in agreement with the direction of change of received data, and reverse, the timing of a judgment will shift.

[0005] The technique which, on the other hand, incorporated the data

judged with the reference level according to transmit data by preparing the input buffer (comparator) which is two from which reference level differs as a simultaneous bidirectional interface by which the conventional proposal is made, operating both these two input buffers, and changing a latter selector according to own transmit data is indicated (JP,8-107346,A).

[0006]

[Problem(s) to be Solved by the Invention] In recent years, supply voltage used with an advance of a semiconductor integrated circuit technique is low-battery-ized, and the amplitude level of a transmission signal is coming to take the level near supply voltage. Therefore, even if it was the method which distinguishes received data by the input buffer which is two from which reference potential differs, it was shown clearly by this invention person etc. that the technical problem that distinguishing with desired reference potential becomes difficult occurred. That is, the circuit which distinguishes received data with the reference potential in the semiconductor integrated circuit which uses MOSFET as an active element has the common differential amplifying circuit where the input differential transistors Q1 and Q2 as shown in drawing 2 (A) were constituted by N-channel metal oxide semiconductor FET. However, if supply voltage is low-battery-ized and the amplitude level and supply voltage level of an input signal approach, the dynamic range of a circuit will become narrow. Therefore, the electrical potential difference V_{ref2} of the lower one separates from the range V_{AN} of a differential amplifying circuit which can be reference voltage set up among the reference potentials V_{ref1} and V_{ref2} for distinguishing received data as shown in drawing 2 (B), and there is a possibility that it may become impossible to perform right distinction.

[0007] Moreover, in the conventional simultaneous bidirectional

transmission system, in case transmit data and received data collide, the technical problem that big delay fluctuation arises occurs. This is because the rates of the level change on the transmission line differ and former one becomes quick rather than the latter by the case where it changes towards reverse simultaneously when only the case where transmit data and received data change in the same direction simultaneously, and one side change.

[0008] The object of this invention is to provide accuracy with the data transmission technique which can distinguish received data, even if supply voltage of the semiconductor integrated circuit which has a simultaneous bidirectional interface is low-battery-ized. Other objects of this invention are to offer the data transmission technique which there is no fluctuation of the time delay of the signal by the change of the reference voltage for distinction of received data in the case of the simultaneous bidirectional data transmission between two semiconductor integrated circuits, and can make the jitter of received data small at it. It will become clear [about the other objects and the new description] from description and the accompanying drawing of this description along [said] this invention.

[0009]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is explained among invention indicated in this application. Namely, while giving the reference voltage which only the number of the reference voltage to be used prepares the input circuit which constitutes a simultaneous bidirectional interface, and was fixed to each input circuit, respectively The differential amplifying circuit which uses N-channel metal oxide semiconductor FET as an input differential component is used for the input circuit where reference voltage with high level is given. According to own output data, the output of two

differential amplifying circuits is changed to the input circuit where reference voltage with low level is given by the selector using the differential amplifying circuit which uses P channel MOSFET as an input differential component, and received data are obtained.

[0010] Even if supply voltage is low-battery-ized and the amplitude level and supply voltage level of a transmission signal approach by this, the reference potential for distinguishing received data stops separating from the range of a differential amplifying circuit which can be reference voltage set up, and the distinction of exact received data of it is attained. Moreover, since the change of reference voltage is unnecessary, there is no fluctuation of the time delay of the signal by the change of reference voltage, and the jitter of received data can be made small.

[0011] Furthermore, the hazard prevention circuit which shifts the timing which changes a selector according to transmit data and received data, using the differential amplifying circuit which built in the circuit which has the function which latches input data is desirably prepared as an input circuit which receives a transmission signal. It is avoidable that a mustache-like pulse arises to the received-data signal transmitted to an internal circuitry, and an internal circuitry malfunctions in the relation between the output timing of transmit data and the change timing of a selector by this.

[0012]

[Embodiment of the Invention] Hereafter, the suitable example of this invention is explained based on a drawing. The 1st example of the data transmission system using the semiconductor integrated circuit and it which have the simultaneous bidirectional interface which applied this invention is shown in drawing 1 . In drawing 1 , 10A and 10B are the semiconductor integrated circuits formed on one semiconductor chip, respectively. The output buffers 12A and 12B by which the output

terminal was connected to the external terminals 11A and 11B by which the transmission line 20 for performing two-way communication, respectively is connected to each chip, and these external terminals 11A and 11B are formed.

[0013] Moreover, two input buffers 13A1 set to chip 10A from drawing 2 (A) by which the inversed input terminal was connected to external terminal 11A, and a differential amplifying circuit as shown in drawing 3 (A), and 13A2 are prepared, and selector 14A which chooses the output of one of buffers, respectively is prepared in the latter part of these input buffers. Similarly, two input buffers 13B1 and 13 B-2 which are set to chip 10B from drawing 2 (A) by which the inversed input terminal was connected to external terminal 11B, and the differential amplifying circuit shown in drawing 3 (A) are prepared, and selector 14B which chooses the output of one of buffers, respectively is prepared in the latter part of these input buffers.

[0014] moreover, the output-data latch circuits 15A and 15B which consist of a flip-flop which can latch the data which should be outputted to the preceding paragraph of the above-mentioned output buffers 12A and 12B -- moreover, the input data latch circuits 16A and 16B which consist of a flip-flop which latches the input data distinguished by the input buffer are formed in the latter part of said selectors 14A and 14B.

[0015] The above-mentioned selectors 14A and 14B are constituted so that the output data incorporated by the output-data latch circuits 15A and 15B may be changed according to the selection-control signal SEL. As a concrete example of a circuit of such selectors 14A and 14B, two P channel MOSFETs and two N-channel metal oxide semiconductor FET can use the circuit which inputted said selection-control signal SEL instead of the clock signal using the circuit of the same configuration as the so-called well-known clocked inverter which it comes to connect with

a serial between supply voltage terminals, for example.

[0016] Furthermore, in this example, resistance dividing network 17B which generates the reference voltage Vref1 and Vref2 with which resistance dividing network 17A which generates an input buffer 13A1 and the reference voltage Vref1 and Vref2 which is impressed to the non-inversed input terminal of 13A2, and from which level differs mutually is impressed to the non-inversed input terminal of an input buffer 13B1 and 13 B-2 at chip 10B is prepared in chip 10A. Let reference voltage Vref1 and Vref2 generated in said resistance dividing network 17A and 17 B-2 be level like 1/4 with three fourths of supply voltage VDD, respectively.

[0017] In addition, although this example showed the case where the resistance dividing network which generates reference voltage Vref1 and Vref2 was established in the interior of a chip, the external terminal for inputting reference voltage Vref1 and Vref2 is prepared in each chip, respectively, and you may make it give it to it from the chip outside. Or the external terminal for outputting the electrical potential difference generated in a resistance dividing network and this resistance dividing network is prepared in one chip, and the external terminal for inputting the reference voltage Vref1 and Vref2 outputted from this resistance dividing network is prepared in the chip of another side, and you may make it make the reference voltage Vref1 and Vref2 outputted from the resistance dividing network of one [said] chip input into it.

[0018] The circuit where said input buffer 13A1 and the input differential transistors Q1 and Q2 as show the differential amplifying circuit which constitutes 13B1 to drawing 2 (A) were constituted by N-channel metal oxide semiconductor FET It is (calling NMOS amplifier hereafter) and the differential amplifying circuit which constitutes said input buffer 13A2 and 13 B-2 is a circuit (PMOS amplifier is called hereafter) where the

input differential transistors Q1 and Q2 as shown in drawing 3 (A) were constituted by P channel MOSFET. Here, the active load transistors Q3 and Q4 by which NMOS amplifier was connected to the common source of the input differential transistors Q1 and Q2 consist of P channel MOSFETs, and the transistor Q5 for constant current connected to the drain side of the input differential transistors Q1 and Q2 consists of N-channel metal oxide semiconductor FET. On the other hand, the active load transistors Q3 and Q4 consist of N-channel metal oxide semiconductor FET, and, as for PMOS amplifier, the transistor Q5 for constant current consists of P channel MOSFETs.

[0019] as mentioned above, the thing for which two input buffers 13A1 and the differential amplifying circuit which constitutes 13A2 are used properly -- supply voltage VDD -- a low battery -- even if the amplitude level of the signal-izing [a signal] and transmitted approaches supply voltage VDD, an input signal can be distinguished certainly. That is, in the case of NMOS amplifier, when the level of supply voltage VDD and the amplitude level of a transmission signal are near in the case of PMOS amplifier, as it is shown in drawing 2 (B), and the reference voltage Vref2 of the lower one separates from the range VAN of NMOS amplifier which can be Vref set up, and it is shown in reverse at drawing 3 (B), the reference voltage Vref1 of the higher one will separate [when the level of supply voltage VDD and the amplitude level of a transmission signal are near,] from the range VAP of PMOS amplifier which can be Vref set up. However, by using NMOS amplifier and PMOS amplifier properly like this example, the reference voltage Vref1 of the higher one and the reference voltage Vref2 of the lower one become possible [putting in within limits / amplifier / which can be Vref set up], and can distinguish an input signal certainly.

[0020] In the system which applied the example of drawing 1 , the timing

chart of RDATA-B by which chip 10A to TDATA-A is received by chip 10A when chip 10B to TDATA-B is transmitted simultaneously again is shown in drawing 4 . In drawing 4 , T_{pd} is a time delay after transmitting TDATA-B changes until it arrives at a station. In this example, reference voltage V_{ref1} and V_{ref2} is held uniformly all the time. The output (e) of PMOS amplifier is chosen for the selection-control signal SEL by selector 14A at the period of a low level, and a wave-like signal like drawing 4 (g) is outputted from selector 14A by choosing the output (f) of NMOS amplifier at the period when the selection-control signal SEL is high-level. This is incorporated by input data latch 16A synchronizing with Clock CK, and is supplied to an internal circuitry.

[0021] The example of the suitable output buffer for the simultaneous bidirectional interface of this invention is shown in drawing 5 . Since the condition that the level of the transmission line is three is taken in simultaneous bidirectional transmission, exact medium level needs to be set up and it is desirable to receive the terminator for preventing an echo of a signal for that purpose. In this example, by adopting the type of circuit which uses the on resistance of MOSFET of the last stage of an output buffer as a terminator, and adding an impedance equalization circuit to an output buffer, it is constituted so that adjustment with the impedance of the transmission line can be taken.

[0022] In drawing 5 , it is the output MOSFET whose Qp0 and Qn0 constitute an original final output stage. The output buffer 12 of this example It is said output MOSFET between supply voltage VDD and the external terminal 11. Five P channel MOSFETs connected to Qp0 and juxtaposition Qp1-Qp5, It is said output MOSFET between the external terminal 11 and a grounding point GND. Five N-channel metal oxide semiconductor FET connected to Qn0 and juxtaposition Qn1-Qn5, Said output MOSFET NAND gates G1-G5 which are connected to the gate

terminal of Qp1-Qp5, and consider the impedance control signals P1-P5 and the signal A from the output-control circuit OCC as an input, Said output MOSFET The impedance equalization circuit ITC is constituted by the NOR gates G6-G10 which are connected to the gate terminal of Qn1-Qn5, and consider the impedance control signals P6-P10, and the signal/A from the output-control circuit OCC as an input.

[0023] This impedance equalization circuit ITC adjusts the ratio of the conductance by the side of PMOS and NMOS while aiming at adjustment of an impedance with the transmission line, and he is trying to obtain desired medium level with the impedance control signals P1-P10 by controlling the number of MOSFETs with which the output-control signals A/A are impressed. Moreover, in the output buffer 12 of this example, in order to make PMOS and NMOS turn off simultaneously and to enable it to take an output hi-z state, the output-control circuit OCC which consists of the NOR gate G11 which considers Data Din and the enable signal EN which should be outputted as an input, NAND gate G12 which considers the reversal signal of Din and EN / EN as an input, and an inverter G13 which generates the reversal signal of an enable signal EN is formed.

[0024] It is an output MOSFET when an enable signal EN is made high-level by this. All of Qp0-Qp5, and Qn0-Qn5 are turned off, and an output terminal is made into a hi-z state. Moreover, when an enable signal EN is made into a low level, the signal of desired logical level will be outputted by making into ON or an OFF state the output MOSFET corresponding to that by which the impedance control signals P1-P10 are then made high-level among the gates G1-G10 according to output data Din.

[0025] In addition, the impedance control signals P1-P10 are generated according to the control data set as the control register which is not

illustrated. It is made to be performed in setting out of control data by initialization of a power up etc. at this register. It is also possible to constitute so that the trimming circuit which contains the component of a fuse etc. which can be trimmed instead of a register may generate the impedance control signals P1-P10. Moreover, the function which makes the above-mentioned output terminal high impedance is a function prepared for the test, and it is not necessary to necessarily prepare it.

[0026] Next, the 2nd example of this invention is explained using drawing 6 and drawing 7. Latch built-in NMOS amplifier and PMOS amplifier as shown in drawing 7 (A) and (B) are used for the 2nd example of drawing 6 as an input buffer 13A1, 13A2 and 13B1, and 13 B-2. Moreover, although the external terminal 17A1 for giving the reference voltage Vref1 and Vref2 of an input buffer 13A1, 13A2 and 13B1, and 13 B-2 from the chip outside, 17A2, and 17B1 and 17 B-2 are prepared in this example, you may make it establish the resistance dividing networks 15A and 15B which generate reference voltage Vref1 and Vref2 in the interior of a chip like the 1st example of drawing 1.

[0027] The latch built-in NMOS amplifier shown in drawing 7 (A) and (B) and PMOS amplifier have the 2nd differential transistors Q11 and Q12 by which common connection of the drain was made with the input differential transistors Q1 and Q2, respectively, and are the active load MOSFET at Q1, Q2, and Q11 and Q12, respectively. The structure of a duplex differential mold where Q3 and Q4 were shared is made. Moreover, the drain electrical potential difference of the 1st differential transistors Q2 and Q1 is impressed to the gate terminal of the 2nd differential transistors Q11 and Q12, respectively, and 2nd MOSFET Q15 for constant current is connected to the common source of the 2nd differential transistors Q11 and Q12.

[0028] And MOSFET for constant current connected to the common

source of the input differential transistors Q1 and Q2 Clock signal CK or /CK is impressed to the gate terminal of Q5, and it is 2nd MOSFET for constant current. To the gate terminal of Q15, the clock signal of an opposite phase / CK or CK is impressed, and transistors Q5 and Q15 are turned on and turned off complementary. Thereby, latch built-in the NMOS amplifier and PMOS amplifier which are shown in drawing 7 (A) and (B) are original MOSFET for constant current by clock signal CK or /CK. If Q5 is turned on, differential amplifier actuation will be performed, and if clock signal CK or /CK is reversed after that, actuation which shifts to the HOLD status holding the signal amplified immediately before will be carried out.

[0029] In the system which consists of a chip connected with the transmission line 20 using the above latch built-in NMOS amplifier and PMOS amplifier as an input buffer 13A1, 13A2 and 13B1, and 13 B-2, it can lessen compared with the system which used the NMOS amplifier which does not contain the latch as shows the transmission delay of data to drawing 2 (A) and drawing 3 (A), and PMOS amplifier. The delay of the data transmission in the system which used the NMOS amplifier with which this does not build in the latch, and PMOS amplifier As the arrow head of a broken line shows to drawing 6 , delay Tpd-FF of output-data latch 15B of a transmitting side, Delay Tpd-out of output-buffer 12B, and delay Tpd-LINE in the transmission line, It is equivalent to the sum of an input buffer 13A1, delay Tpd-IN of 13A2, and setup-time Tsetup until the latch of data of input data latch 14A is attained. On the other hand, since an input buffer 13A1 and delay Tpd-IN of 13A2 disappear in the system which applied the 2nd example as the arrow head of a continuous line shows, it is for data transmission delay of the part to decrease.

[0030] In addition, the following semiconductor integrated circuits can be considered as an application of the latch built-in differential amplifying

circuit of drawing 7 . That is, the circuit of drawing 7 is used as a differential amplifying circuit which constitutes the input buffer IBF in drawing 11 which shows the conventional example. Although the effectiveness of reducing the jitter of the received data based on the change of reference voltage V_{ref1} and V_{ref2} is not acquired according to such a configuration, the effectiveness that delay of transmission data can be lessened compared with the system which used the differential amplifying circuit which does not build in the conventional latch as an input buffer IBF is acquired.

[0031] Moreover, in such an example, even if an output signal and an input signal change in the same direction to a collision, i.e., coincidence, because data incorporation of the output data register (equivalent to 14 of drawing 1) prepared in the preceding paragraph of an output buffer 12 is performed to the start timing of for example, the clock CK and it is made to perform data incorporation of NMOS amplifier and PMOS amplifier to the fall timing of Clock CK, to the timing, NMOS amplifier and PMOS amplifier are made not to incorporate data. Thereby, the phenomenon of delay fluctuation of the received data based on the collision of the data produced in the conventional circuit is avoidable.

[0032] Next, the 3rd example of this invention is explained using drawing 8 and drawing 9 . The 3rd example of drawing 8 is an example which improved the nonconformity of the system using the NMOS amplifier and PMOS amplifier which do not contain the latch as shows drawing 2 (A) and drawing 3 (A) as the 1st example (drawing 1) 13A1, i.e., an input buffer, 13A2 and 13B1, and 13 B-2. In the 1st example using the NMOS amplifier and PMOS amplifier which do not contain the latch, it is the relation between the output timing of transmit data TDATA, and the change timing of a selector 14, and the relation of the working speed of NMOS amplifier and PMOS amplifier, and, specifically, possibility that a

mustache-like pulse will arise in the output signal Q2 of a selector 14, and an internal circuitry will malfunction can be considered. So, in this 3rd example, the hazard prevention circuit 18 which has IKUSUKURUSHIBU OR-gate 18A which considers transmit data TDATA and the output signal Q2 of a selector 14 as an input is formed as shown in drawing 8 .

[0033] The hazard prevention circuit 18 in this example MOSFET which constitutes said IKUSUKURUSHIBU OR-gate 18A and the output stage of an output buffer 12 Selector 18B which chooses either of the outputs of inverters INV1 and INV2 which drives the gate terminal of Tr1 and Tr2, Selector 18C which chooses either of the inputs of inverters INV [INV1 and] 2, It consists of selector 18D which chooses either of the outputs of Selectors 18B or 18C. Selectors 18B and 18C are changed according to transmit data TDATA, control is performed, and selector 18D is constituted so that it may change with the output of said IKUSUKURUSHIBU OR-gate 18A and control may be performed.

[0034] The timing of each signal in the example of drawing 8 is shown in drawing 9 . It works so that the example of drawing 8 may make change timing of the change signal SEL of a selector 14 by the hazard prevention circuit 18 when the logical level of the output signal Q2 of transmit data TDATA and a selector 14 differs, and change timing of the change signal SEL of a selector 14 may already be made late, when the logical level of the output signal Q2 of a comb, transmit data TDATA, and a selector 14 is the same. It is avoidable that a mustache-like pulse arises in the output signal Q2 of a selector 14, and an internal circuitry malfunctions by this.

[0035] in addition, as an input buffer 13A1, 13A2 and 13B1, and 13 B-2 In the 2nd example (drawing 6) using latch built-in NMOS amplifier and PMOS amplifier as shown in drawing 7 (A) and (B) A hazard prevention

circuit 18 like this example is unnecessary by setting up the latch timing of the output signal of the selectors 14A and 14B by latch circuits 16A and 16B so that it may shift from the timing which the above-mentioned mustache generates.

[0036] Next, the 4th example of this invention is explained using drawing 10 . The example of drawing 10 transmits data on multiple-value level through the transmission line 20 among semiconductor chip 10A-10B. However, the transfer direction of data is an one direction (from A to B [Drawing]). Although not illustrated, the sending circuit for transmitting data to 10A from semiconductor chip 10B for data transmission of hard flow is established in chip 10B, and a receiving circuit is established in chip 10A. Moreover, in this example, Terminator Re is formed in receiving one end of the transmission line 20.

[0037] The sending circuit in this example is constituted by the OR gate G21 and the AND gate G22 which consider as an input the flip-flops FF1 and FF2 which latch 2-bit transmit data TDATA-A and TDATA-B, and the data latched to these flip-flops FF1 and FF2, and CMOS inverter19A and push pull output stage 19B by which the output node was connected to external terminal 11A. Among these, MOSFET which constitutes CMOS inverter 19A The output signal of said flip-flop FF 1 is inputted into the gate terminal of Tr3 and Tr4. Moreover, MOSFET which constitutes push pull output stage 19B The output signal of said OR gate G21 and AND gate G22 is inputted into the gate terminal of Tr1 and Tr2, respectively.

[0038] On the other hand, as for the receiving circuit of chip 10B of a receiving side, a non-inversed input terminal is connected to external terminal 10B into which received data are inputted. The input circuits IBF1, IBF2, and IBF3 which consist of three differential amplifying circuits where the reference voltage Vref1, Vref2, and Vref3 ($V_{ref1} > V_{ref2} > V_{ref3}$) from which level differs respectively was impressed

to the inversed input terminal, It consists of the AND gate G32 which considers as an input the output of the OR gates G31 and IBF2 and the reversal output of IBF3 which consider the output of input circuits IBF1 and IBF2 as an input, and the OR gate G33 which considers the output of this AND gate G32, and the output of said input circuit IBF1 as an input. [0039] And in this example, the PMOS sense amplifier with which, as for IBF3, a differential transistor consists [the NMOS sense amplifier with which a differential transistor consists of N-channel metal oxide semiconductor FET] of a P channel MOSFET again is used among [IBF1] said input circuits IBF1, IBF2, and IBF3. Either an NMOS sense amplifier or a PMOS sense amplifier is OK as IBF3. Let reference voltage Vref1, Vref2, and Vref3 be level respectively like $\frac{6}{7}$ of supply voltage VDD, $\frac{4}{7}$, and $\frac{2}{7}$. It is avoidable that reference voltage Vref1 and Vref3 shifts from the range of a differential amplifying circuit which can be Vref set up, and it becomes impossible to judge the level of an input signal by this.

[0040] The usual differential amplifier which does not contain drawing 2 (A) and a flip-flop like drawing 3 (A) with the flip-flop built-in differential amplifier as shown in drawing 7 (A) and (B), either is sufficient as the input circuits IBF1, IBF2, and IBF3 in this example. Although you may give from the chip outside as reference voltage Vref1, Vref2, and Vref3 is shown in drawing 10 , the reference voltage generating circuit which consists of a resistance dividing network etc. may be established in the interior of a chip.

[0041] Next, transmission actuation of the data in this example is explained. First, a sending circuit makes the output transistors Tr1-Tr4 turn on selectively according to transmit data TDATA-A and TDATA-B. By this external terminal 11 of chip 10B of receiving side B It changes to the potential according to a ratio with the turned-on resistance of the on

resistance of a transistor, and the terminator R_e of the transmission line 20. It is distinguished by being compared with reference voltage V_{ref1} , V_{ref2} , and V_{ref3} in three input circuits IBF1, IBF2, and IBF3 where this potential consists of a differential amplifying circuit of chip 10B of a receiving side. According to the combination of the output of input circuits IBF1, IBF2, and IBF3, a logic gate G31 - G3 restore transmit data TDATA-A, the same received-data RDATA-A as TDATA-B, and RDATA-B, and it is latched by flip-flops FF11 and FF12. An internal circuitry is supplied.

[0042] Transmit data TDATA-A, TDATA-B, ON/OFF state of the output transistors Tr1-Tr4, the potential of the transmission line 20, the outputs SA1, SA2, and SA3 of the input circuits IBF1, IBF2, and IBF3 of a receiving-side chip, and the relation of received-data RDATA-A and RDATA-B are shown in the following table 1.

[0043]

[A table 1]

送信データ		Tr1	Tr2	Tr3	Tr4	伝送線	SA1	SA2	SA3	受信データ	
TDATA-A	TDATA-B									RDATA-A	RDATA-B
L	L	ON	OFF	ON	OFF	VDD	H	H	H	L	L
L	H	OFF	OFF	ON	OFF	5VDD/7	L	H	H	L	H
H	L	OFF	OFF	OFF	ON	3VDD/7	L	L	H	H	L
H	H	OFF	ON	OFF	ON	VDD/7	L	L	L	H	H

[0044] It turns out that 2-bit transmit data TDATA-A and TDATA-B are changed into the signal of 4 value level, are transmitted by the transmission line, and are again restored to 2-bit received-data RDATA-A and RDATA-B correctly from a table 1.

[0045] Although invention made by this invention person above was concretely explained based on the example, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the above-mentioned example, and does not

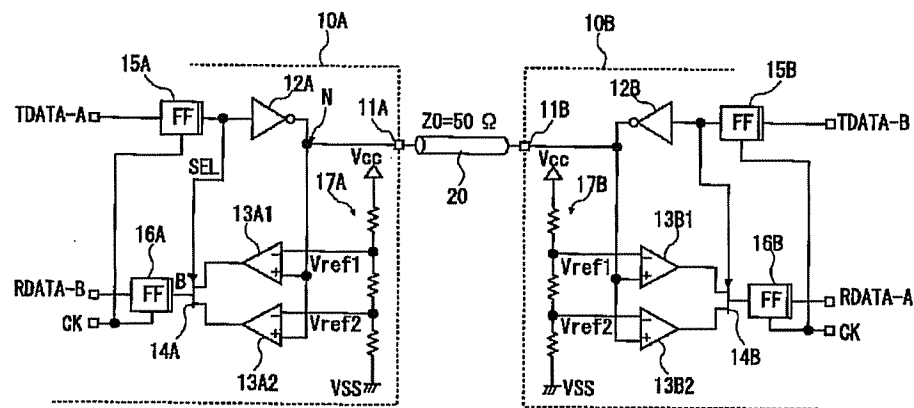
deviate from the summary. Although the above explanation explained the bidirectional data transmission between the semiconductor integrated circuits which are the fields of the invention which became the background about invention mainly made by this invention person, this invention is applicable to the bidirectional data transmission between the board systems carrying a semiconductor integrated circuit.

[0046]

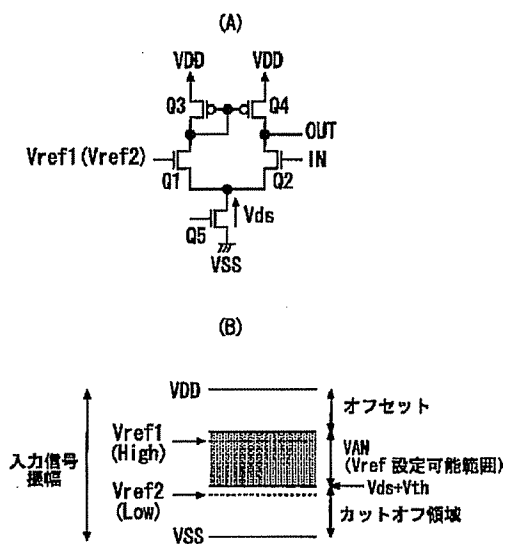
[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly. That is, even if supply voltage of the semiconductor integrated circuit which has a simultaneous bidirectional interface is low-battery-ized, received data can be distinguished to accuracy. Moreover, it is effective in becoming possible for there to be no fluctuation of the time delay of the signal by the change of the reference voltage for distinction of received data in the case of the simultaneous bidirectional data transmission between two semiconductor integrated circuits, and to make the jitter of received data small at it.

DRAWINGS

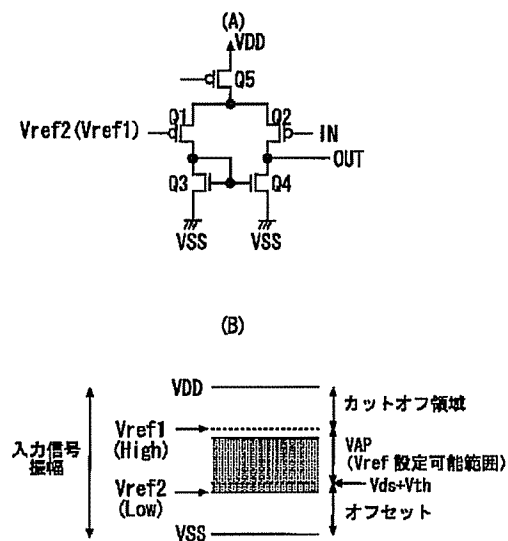
[Drawing 1]



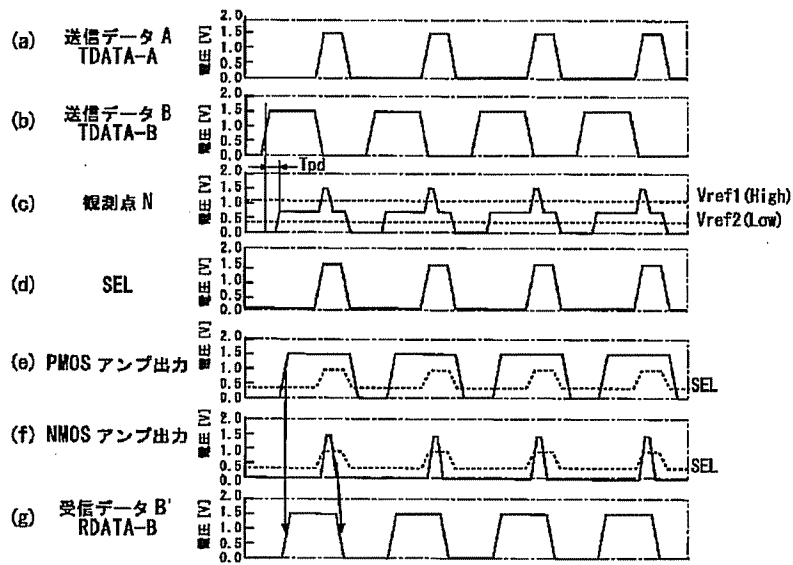
[Drawing 2]



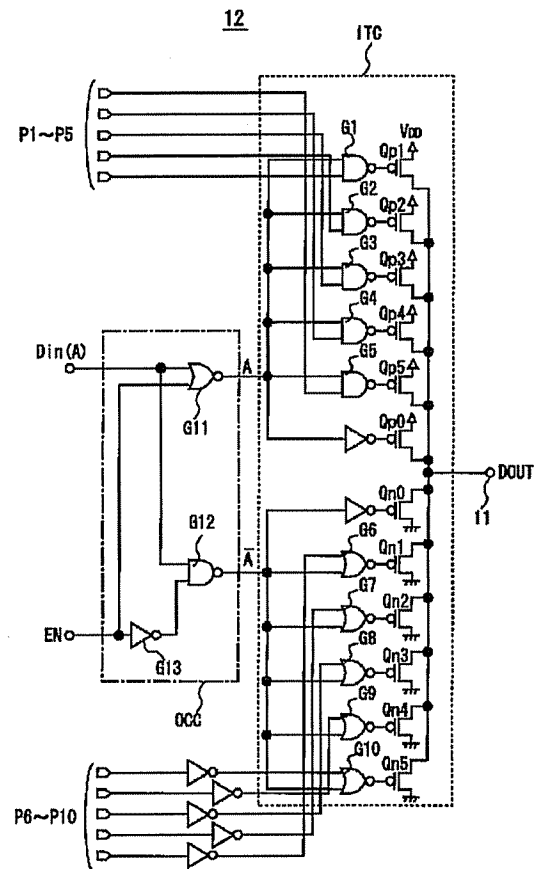
[Drawing 3]



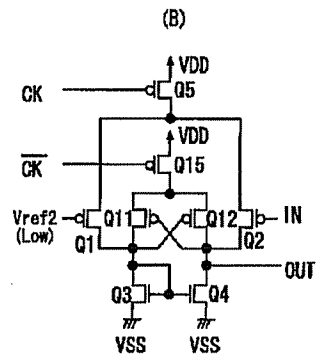
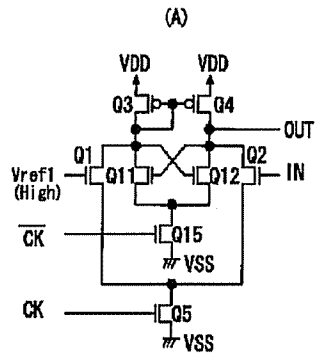
[Drawing 4]



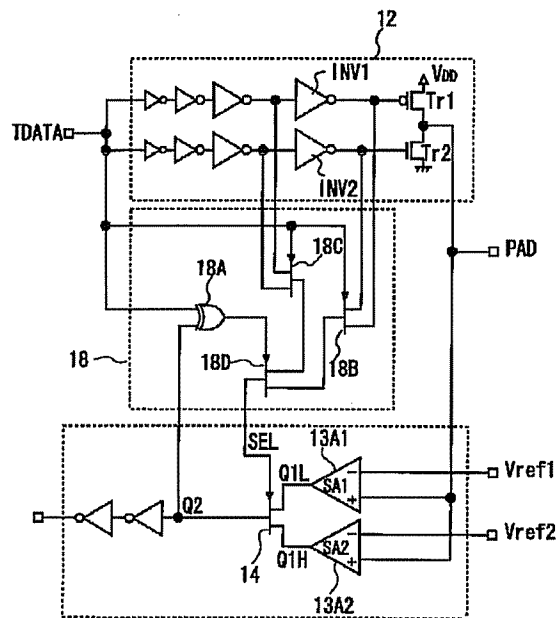
[Drawing 5]



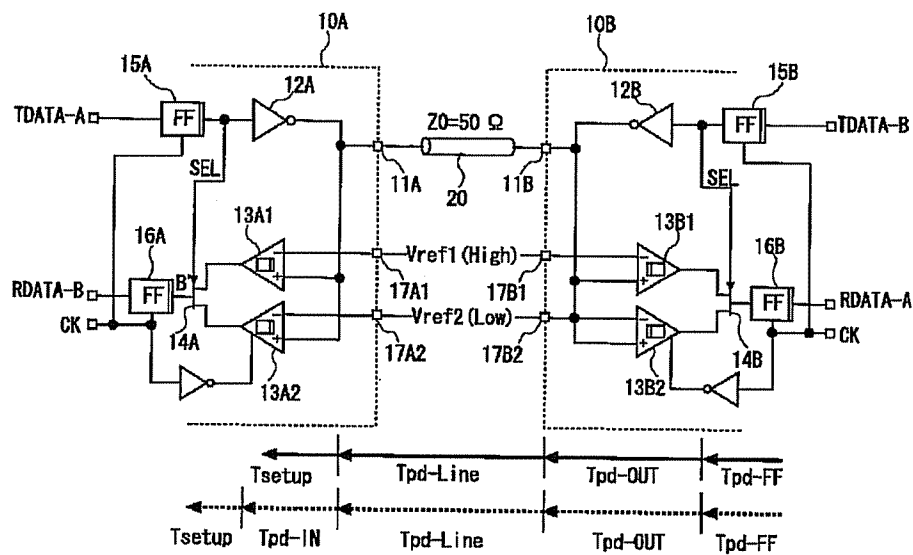
[Drawing 7]



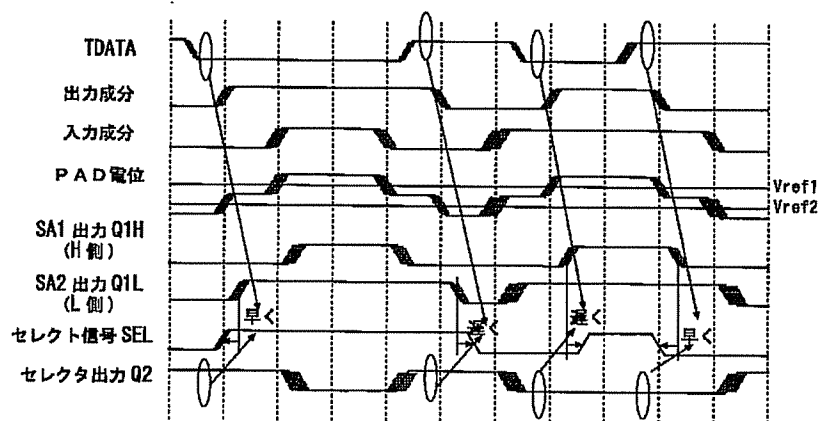
[Drawing 8]



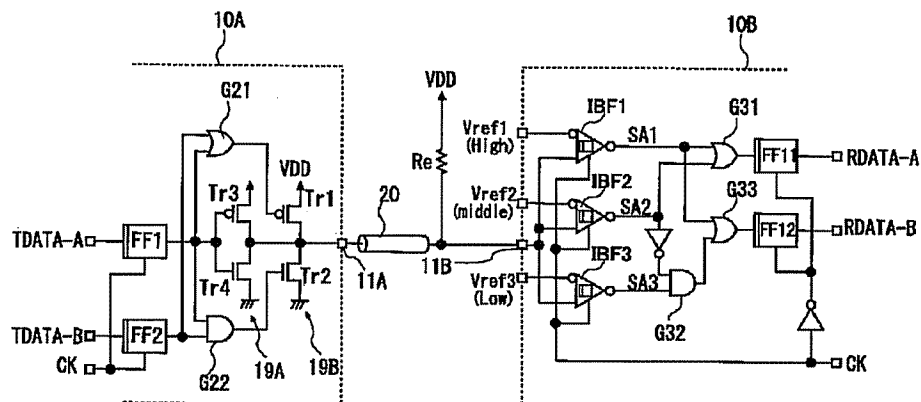
[Drawing 6]



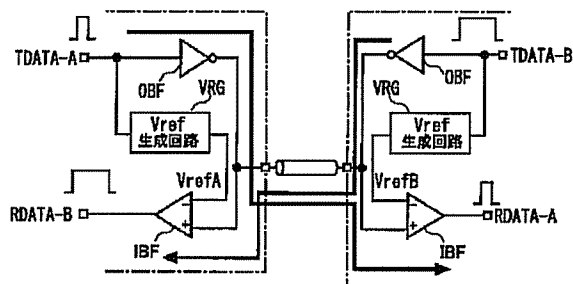
[Drawing 9]



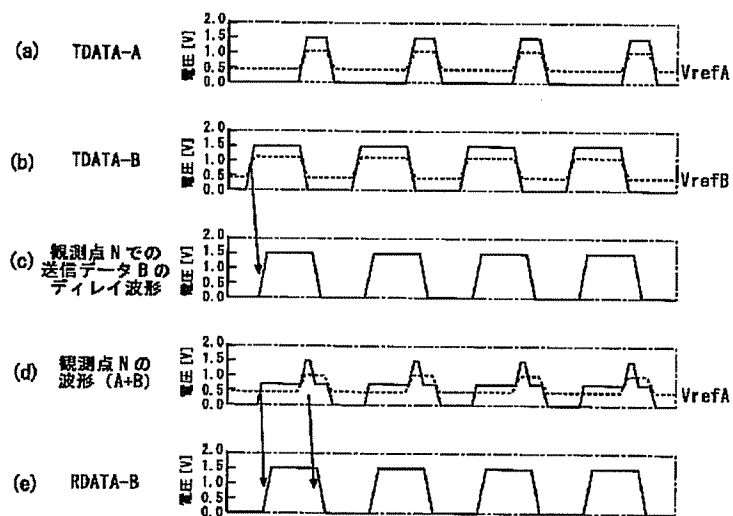
[Drawing 10]



[Drawing 11]



[Drawing 12]



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-229917
(43)Date of publication of application : 15.08.2003

(51)Int.Cl.

H04L 25/03
H03K 19/0175
H03K 19/20

(21)Application number : 2002-027895
(22)Date of filing : 05.02.2002

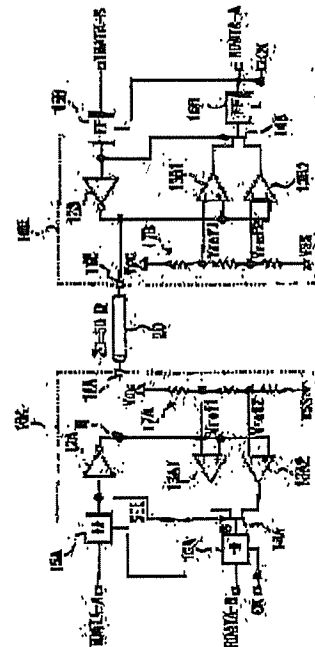
(71)Applicant : HITACHI LTD
(72)Inventor : TOYOSHIMA SHUNSUKE
FUJIMURA YASUHIRO
TAKAHASHI TOSHIRO

(54) DATA TRANSMISSION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technology by which received data can be exactly discriminated even when the power supply voltage of a semiconductor integrated circuit having a simultaneous two-way interface is lowered.

SOLUTION: Input circuits (13) comprising the simultaneous two-way interface are prepared as many as the number of reference voltages to be used, the fixed reference voltage is applied to each of the input circuits and while using a differential amplifier circuit with an N-channel MOSFET as a differential element for the input circuit to be applied with the reference voltage of a high level and using a differential amplifier circuit with a P-channel MOSFET as a differential element for the input circuit to be applied with the reference voltage of a low level, the received data are obtained by switching the output of two differential amplifier circuits by a selector (14) corresponding to own output data.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-229917

(P2003-229917A)

(43) 公開日 平成15年8月15日 (2003.8.15)

(51) Int.Cl.⁷

識別記号

F I

ターミナル* (参考)

H 0 4 L 25/03

H 0 4 L 25/03

E 5 J 0 4 2

H 0 3 K 19/0175

H 0 3 K 19/20

1 0 1

5 J 0 5 6

19/20

1 0 1

19/00

1 0 1 S

5 K 0 2 9

1 0 1 Q

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号

特願2002-27895(P2002-27895)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22) 出願日

平成14年2月5日 (2002.2.5)

(72) 発明者 豊嶋 俊輔

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 藤村 康弘

東京都青梅市新町六丁目16番地の3 株

式会社日立製作所デバイス開発センタ内

(74) 代理人 100085811

弁理士 大日方 富雄

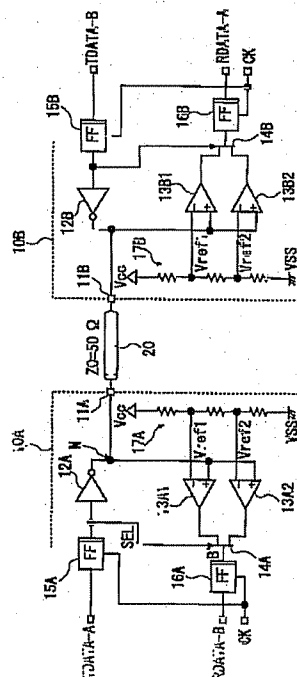
最終頁に続く

(54) 【発明の名称】 データ伝送システム

(57) 【要約】

【課題】 同時双方向インタフェースを有する半導体集積回路の電源電圧が低電圧化されても正確に受信データを判別することができる技術を提供する。

【解決手段】 同時双方向インタフェースを構成する入力回路(13)を、使用する参照電圧の数だけ用意しておいて各入力回路には固定された参照電圧をそれぞれ与えるとともに、レベルが高い参照電圧が与えられる入力回路にはNチャネルMOSFETを差動素子とする差動増幅回路を用い、レベルが低い参照電圧が与えられる入力回路にはPチャネルMOSFETを差動素子とする差動増幅回路を用い、自身の出力データに応じて2つの差動増幅回路の出力をセクタ(14)で切り替えて受信データを得るようにした。



【特許請求の範囲】

【請求項1】 外部端子と該外部端子に接続されたデータ信号出力回路を備えた第1の半導体集積回路と、外部端子と該外部端子に接続されたデータ信号入力回路を備えた第2の半導体集積回路とが、前記外部端子に接続された伝送線を介して前記第1の半導体集積回路から前記第2の半導体集積回路へデータ信号を送信可能に構成されてなるシステムであって、

前記データ信号入力回路は、データ入力端子に入力された信号と参照電圧とを比較して入力信号を判別する2以上の差動増幅回路からなり、

前記差動増幅回路のうち最も高い参照電圧が印加された回路は入力差動トランジスタがNチャネル型電界効果トランジスタにより構成された第1タイプの差動増幅回路からなり、前記差動増幅回路のうち最も低い参照電圧が印加された回路は入力差動トランジスタがPチャネル型電界効果トランジスタにより構成された第2タイプの差動増幅回路からなり、これらの差動増幅回路により前記伝送線の3以上のレベルを識別することより受信データを判別するように構成されてなることを特徴とするデータ伝送システム。

【請求項2】 前記差動増幅回路はラッチ機能を有する回路であることを特徴とする請求項1に記載のデータ伝送システム。

【請求項3】 前記伝送線の前記第2の半導体集積回路側の端部と電源電圧端子との間には終端抵抗が接続され、前記伝送線の多値レベルによって2ビット以上のバイナリ情報を同時に伝達可能に構成されていることを特徴とする請求項1または2に記載のデータ伝送システム。

【請求項4】 入出力兼用の外部端子と該外部端子に接続されたデータ信号出力回路およびデータ信号入力回路を各々備えた第1の半導体集積回路と第2の半導体集積回路とが、前記外部端子に接続された伝送線を介して互いにデータ伝送可能に構成されてなるシステムであって、

前記データ信号入力回路は、データ入力端子に入力された信号と参照電圧とを比較して入力信号を判別する2以上の差動増幅回路からなり、

前記差動増幅回路のうち最も高い参照電圧が印加された回路は入力差動トランジスタがNチャネル型電界効果トランジスタにより構成された第1タイプの差動増幅回路からなり、前記差動増幅回路のうち最も低い参照電圧が印加された回路は入力差動トランジスタがPチャネル型電界効果トランジスタにより構成された第2タイプの差動増幅回路からなり、これらの差動増幅回路により前記伝送線の3以上のレベルを識別することより受信データを判別するように構成されてなることを特徴とする双方向データ伝送システム。

【請求項5】 前記差動増幅回路の後段にはセレクト回

路が設けられ、該セレクト回路は当該半導体集積回路内の前記データ信号出力回路から出力されるべきデータ信号に応じて前記2以上の差動増幅回路のうちいずれか一つの差動増幅回路の出力を選択して内部回路へ伝達するように構成されていることを特徴とする請求項4に記載の双方向データ伝送システム。

【請求項6】 前記差動増幅回路はラッチ機能を有する回路であることを特徴とする請求項5に記載の双方向データ伝送システム。

【請求項7】 前記データ信号出力回路から出力されるべきデータ信号と前記セレクト回路の出力信号とに基づいて前記セレクト回路の切替え制御信号のタイミングを調整可能なハザード防止回路を備えてなることを特徴とする請求項5に記載の双方向データ伝送システム。

【請求項8】 前記参照電圧を発生する回路が前記第1の半導体集積回路と第2の半導体集積回路のそれぞれに設けられていることを特徴とする請求項4ないし7のいずれかに記載の双方向データ伝送システム。

【請求項9】 前記データ信号出力回路には前記伝送線のインピーダンスとの整合をとるためのインピーダンス調整回路が設けられていることを特徴とする請求項4ないし8のいずれかに記載の双方向データ伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル信号伝送技術さらには伝送線が3以上のレベルをとる信号伝送に適用して有効な技術に関し、例えば同時双方向データ伝送システムや多値レベルによる信号伝送システムに利用して有効な技術に関する。

【0002】

【従来の技術】従来より、伝送線の両側から同時にデータを送信可能にするSBTLと呼ばれる同時双方向インタフェースが知られている。同時双方向インタフェースでは、双方向のデータ伝送を1本の伝送線により行なうため、伝送線上のレベルは、両方向から伝送される2つのデータの組合せに応じてロウレベルとハイレベルとそれらの中間レベルの計3つのレベルのいずれかの状態をとる。そのため、受信側の入力バッファ（コンパレータ）に2つの参照電位（論理判定レベル）を用意しておいて受信データを判別する方式が採られている。

【0003】従来の同時双方向インタフェースは、図11に示すように、各チップに出力バッファOBFと入力バッファIBFと参照電位発生回路VRGとを備え、参照電位発生回路VRGで発生する参照電位を、自身の送信データTDATA-A、TDATA-Bに応じて図12(a)、(b)に破線で示すように変化させることで受信データRDATA-B、RDATA-Aを判別する方式が一般的であった。

【0004】しかしながら、この参照電位の切替え方式は、参照電位の切替えによって受信データのジッタ（変化タイミングのずれ）が大きくなるという問題点があ

る。これは、入力バッファを1つにして参照電位を切り替えると、同一の受信データであっても参照電位が高い時と低い時とは判定のタイミング（受信データ波形が参照電位を横切る点）がずれてしまうためである。また、受信データが変化する時に参照レベルが変化した場合を考えると、参照レベルの変化の方向が受信データの変化の方向と一致する場合と逆の場合とでも判定のタイミングがずれる。

【0005】一方、従来提案されている同時双方向インタフェースとして、参照レベルが異なる2つの入力バッファ（コンパレータ）を設け、この2つの入力バッファを共に動作させておいて自身の送信データに応じて後段のセレクトを切り替えることにより、送信データに応じた参照レベルで判定したデータを取り込むようにした技術が開示されている（特開平8-107346号）。

【0006】

【発明が解決しようとする課題】近年、半導体集積回路技術の進歩に伴って使用する電源電圧が低電圧化され、伝送信号の振幅レベルが電源電圧に近いレベルをとるようになって来ている。そのため、参照電位が異なる2つの入力バッファで受信データを判別する方式であっても、所望の参照電位で判別するのが困難になるという課題があることが本発明者等によって明らかにされた。すなわち、MOSFETを能動素子とする半導体集積回路における参照電位で受信データを判別する回路は、例えば図2（A）に示すような入力差動トランジスタQ1、Q2がNチャネルMOSFETにより構成された差動増幅回路が一般的である。しかし、電源電圧が低電圧化されて入力信号の振幅レベルと電源電圧レベルが近づいて来ると回路のダイナミックレンジが狭くなる。そのため、図2（B）に示されているように受信データを判別するための参照電位Vref1、Vref2のうち低い方の電圧Vref2が、差動増幅回路の参照電圧設定可能範囲VANから外れてしまい、正しい判別が行なえなくなるおそれがある。

【0007】また、従来の同時双方向伝送方式では、送信データと受信データが衝突する際に大きなディレイ変動が生じるという課題がある。これは、送信データと受信データが同時に同一の方向へ変化する場合と一方だけが変化する場合や同時に逆の方向に変化する場合とでは、伝送線上でのレベル変化の速度が異なり、前者の方が後者よりも速くなるためである。

【0008】この発明の目的は、同時双方向インタフェースを有する半導体集積回路の電源電圧が低電圧化されても正確に受信データを判別することができるデータ伝送技術を提供することにある。この発明の他の目的は、2つの半導体集積回路間の同時双方向データ送信の際に、受信データの判別のための参照電圧の切替えによる信号の遅延時間の変動がなく受信データのジッタを小さくすることが可能なデータ伝送技術を提供することにある。

る。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかにできるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、同時双方向インタフェースを構成する入力回路を、使用する参照電圧の数だけ用意しておいて各入力回路には固定された参照電圧をそれぞれ与えるとともに、レベルが高い参照電圧が与えられる入力回路にはNチャネルMOSFETを入力差動素子とする差動増幅回路を用い、レベルが低い参照電圧が与えられる入力回路にはPチャネルMOSFETを入力差動素子とする差動増幅回路を用い、自身の出力データに応じて2つの差動増幅回路の出力をセレクトで切り替えて受信データを得るようにしたものである。

【0010】これにより、電源電圧が低電圧化されて伝送信号の振幅レベルと電源電圧レベルが近づいても受信データを判別するための参照電位が差動増幅回路の参照電圧設定可能範囲から外れなくなり、正確な受信データの判別が可能となる。また、参照電圧の切替えが不要であるため、参照電圧の切替えによる信号の遅延時間の変動がなく受信データのジッタを小さくすることができる。

【0011】さらに、望ましくは、伝送信号を受ける入力回路として、入力データをラッチする機能を有する回路を内蔵した差動増幅回路を用いるか、送信データと受信データに応じてセレクトを切り替えるタイミングをずらすハザード防止回路を設けるようにする。これにより、送信データの出力タイミングとセレクトの切替えタイミングとの関係で、内部回路に伝達される受信データ信号にヒゲ状のパルスが生じて内部回路が誤動作するのを回避することができる。

【0012】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基いて説明する。図1には、本発明を適用した同時双方向インタフェースを有する半導体集積回路およびそれを用いたデータ伝送システムの第1の実施例が示されている。図1において、10A、10Bはそれぞれ1個の半導体チップ上に形成された半導体集積回路である。各チップにはそれぞれ双方向通信を行なうための伝送線20が接続される外部端子11A、11Bと、該外部端子11A、11Bに出力端子が接続された出力バッファ12A、12Bが設けられている。

【0013】また、チップ10Aには、外部端子11Aに反転入力端子が接続された図2（A）、図3（A）に示すような差動増幅回路からなる2個の入力バッファ13A1、13A2が設けられ、これらの入力バッファの後段にはそれぞれいずれかのバッファの出力を選択するセレクト14Aが設けられている。同様に、チップ10

Bには、外部端子11Bに反転入力端子が接続された図2(A)、図3(A)に示す差動増幅回路からなる2個の入力バッファ13B1、13B2が設けられ、これらの入力バッファの後段にはそれぞれいずれかのバッファの出力を選択するセクタ14Bが設けられている。

【0014】また、上記出力バッファ12A、12Bの前段には出力されるべきデータをラッチ可能なフリップフロップからなる出力データラッチ回路15A、15Bが、また前記セクタ14A、14Bの後段には入力バッファにより判別された入力データをラッチするフリップフロップからなる入力データラッチ回路16A、16Bが設けられている。

【0015】上記セクタ14A、14Bは、出力データラッチ回路15A、15Bに取り込まれた出力データを選択制御信号SELに応じて切り替えるように構成される。このようなセクタ14A、14Bの具体的な回路例としては、例えば2個のPチャネルMOSFETと2個のNチャネルMOSFETが電源電圧端子間に直列に接続されてなる公知のいわゆるクロックド・インバータと同様の構成の回路を用い、クロック信号の代わりに前記選択制御信号SELを入力するようにした回路を用いることができる。

【0016】さらに、本実施例では、チップ10Aには、入力バッファ13A1、13A2の非反転入力端子に印加される互いにレベルの異なる参照電圧Vref1、Vref2を発生する抵抗分割回路17Aが、チップ10Bには、入力バッファ13B1、13B2の非反転入力端子に印加される参照電圧Vref1、Vref2を発生する抵抗分割回路17Bが設けられている。前記抵抗分割回路17A、17Bで発生される参照電圧Vref1、Vref2は、それぞれ電源電圧VDDの3/4と1/4のようなレベルとされる。

【0017】なお、この実施例では、参照電圧Vref1、Vref2を発生する抵抗分割回路がチップ内部に設けられている場合を示したが、参照電圧Vref1、Vref2を入力するための外部端子を各チップにそれぞれ設けてチップ外部から与えるようにしてもよい。あるいは、一方のチップ内に抵抗分割回路とこの抵抗分割回路で発生された電圧を出力するための外部端子を設け、他方のチップにはこの抵抗分割回路から出力された参照電圧Vref1、Vref2を入力するための外部端子を設け、前記一方のチップの抵抗分割回路から出力された参照電圧Vref1、Vref2を入力させるようにしてもよい。

【0018】前記入力バッファ13A1、13B1を構成する差動増幅回路は図2(A)に示すような入力差動トランジスタQ1、Q2がNチャネルMOSFETにより構成された回路(以下、NMOSアンプと称する)であり、前記入力バッファ13A2、13B2を構成する差動増幅回路は図3(A)に示すような入力差動トランジスタQ1、Q2がPチャネルMOSFETにより構成

された回路(以下、PMOSアンプと称する)である。ここで、NMOSアンプは、入力差動トランジスタQ1、Q2の共通ソースに接続されたアクティブ負荷トランジスタQ3、Q4がPチャネルMOSFETで構成され、入力差動トランジスタQ1、Q2のドレイン側に接続された定電流用トランジスタQ5がNチャネルMOSFETで構成されている。一方、PMOSアンプは、アクティブ負荷トランジスタQ3、Q4がNチャネルMOSFETで構成され、定電流用トランジスタQ5がPチャネルMOSFETで構成されている。

【0019】上記のように、2つの入力バッファ13A1、13A2を構成する差動増幅回路を使い分けることにより、電源電圧VDDが低電圧化されて伝送される信号の振幅レベルが電源電圧VDDに近づいたとしても、確実に入力信号を判別することができるようになる。すなわち、NMOSアンプの場合には、電源電圧VDDのレベルと伝送信号の振幅レベルが近いと、図2(B)に示すように、低い方の参照電圧Vref2がNMOSアンプのVref設定可能範囲VANから外れてしまい、逆に、PMOSアンプの場合には、電源電圧VDDのレベルと伝送信号の振幅レベルが近いと、図3(B)に示すように、高い方の参照電圧Vref1がPMOSアンプのVref設定可能範囲VAPから外れてしまう。しかるに、本実施例のようにNMOSアンプとPMOSアンプとを使い分けることにより、高い方の参照電圧Vref1も低い方の参照電圧Vref2も、アンプのVref設定可能範囲内に入れることが可能となり、確実に入力信号を判別することができる。

【0020】図4には、図1の実施例を適用したシステムにおいて、チップ10AからTDATA-Aが、またチップ10BからTDATA-Bが同時に送信された場合にチップ10Aで受信されるRDATA-Bのタイミングチャートが示されている。図4において、Tpdは送信TDATA-Bが変化してから観測点に到達するまでの遅延時間である。本実施例においては、参照電圧Vref1、Vref2はずっと一定に保持される。選択制御信号SELがロウレベルの期間はセクタ14AによりPMOSアンプの出力(e)が選択され、選択制御信号SELがハイレベルの期間はNMOSアンプの出力(f)が選択されることにより、図4(g)のような波形の信号がセクタ14Aから出力される。これがクロックCKに同期して入力データラッチ16Aに取り込まれ、内部回路に供給される。

【0021】図5には、本発明の同時双方向インタフェースに好適な出力バッファの具体例が示されている。同時双方向伝送では、伝送線のレベルが3つの状態をとるので、正確な中間レベルの設定が必要であり、そのためには信号の反射を防止するための終端抵抗を受けるのが望ましい。この実施例においては、出力バッファの最終段のMOSFETのオン抵抗を終端抵抗として利用する回路形式を採用し、出力バッファにインピーダンス調整

回路を付加することにより、伝送線のインピーダンスとの整合をとれるように構成されている。

【0022】図5において、 Q_{p0} 、 Q_{n0} が本来の最終出力段を構成する出力MOSFETであり、本実施例の出力バッファ12は、電源電圧VDDと外部端子11との間に前記出力MOSFET Q_{p0} と並列に接続された5個のPチャネルMOSFET $Q_{p1} \sim Q_{p5}$ と、外部端子11と接地点GNDとの間に前記出力MOSFET Q_{n0} と並列に接続された5個のNチャネルMOSFET $Q_{n1} \sim Q_{n5}$ と、前記出力MOSFET $Q_{p1} \sim Q_{p5}$ のゲート端子に接続されインピーダンス制御信号P1～P5と出力制御回路OCCからの信号Aとを入力とするNANDゲートG1～G5と、前記出力MOSFET $Q_{n1} \sim Q_{n5}$ のゲート端子に接続されインピーダンス制御信号P6～P10と出力制御回路OCCからの信号/Aとを入力とするNORゲートG6～G10とによりインピーダンス調整回路ITCが構成されている。

【0023】このインピーダンス調整回路ITCは、インピーダンス制御信号P1～P10によって、出力制御信号A、/Aが印加されるMOSFETの数を制御することにより、伝送線とのインピーダンスの整合を図ると共にPMOS側とNMOS側のコンダクタンスの比を調整して、所望の中間レベルを得るようにされている。また、本実施例の出力バッファ12においては、PMOSとNMOSを同時にオフさせて出力ハイインピーダンス状態を取り得るようにするため、出力すべきデータDinおよびイネーブル信号ENを入力とするNORゲートG11と、DinとENの反転信号/ENを入力とするNANDゲートG12と、イネーブル信号ENの反転信号を生成するインバータG13とからなる出力制御回路OCCが設けられている。

【0024】これによって、イネーブル信号ENがハイレベルにされると、出力MOSFET $Q_{p0} \sim Q_{p5}$ および $Q_{n0} \sim Q_{n5}$ が全てオフされて出力端子がハイインピーダンス状態にされる。また、イネーブル信号ENがロウレベルにされると、ゲートG1～G10のうちそのときインピーダンス制御信号P1～P10がハイレベルにされているものに対応する出力MOSFETが出力データDinに応じてオンまたはオフ状態にされることにより、所望の論理レベルの信号が出力されることとなる。

【0025】なお、インピーダンス制御信号P1～P10は、図示しないコントロールレジスタに設定された制御データに応じて生成される。このレジスタには、電源投入時のイニシャライズ等により制御データの設定が行われるようにされる。レジスタの代わりにヒューズなどのトリミング可能な素子を含むトリミング回路によってインピーダンス制御信号P1～P10を生成するように構成することも可能である。また、上記出力端子をハイ

インピーダンスにする機能はテストのために設けられた機能であり、必ずしも設ける必要はない。

【0026】次に、本発明の第2の実施例を、図6および図7を用いて説明する。図6の第2実施例は、入力バッファ13A1、13A2および13B1、13B2として、図7(A)、(B)に示すようなラッチ内蔵型のNMOSアンプとPMOSアンプを用いるようにしたものである。また、この実施例では、入力バッファ13A1、13A2および13B1、13B2の参照電圧Vref1、Vref2をチップ外部から与えるための外部端子17A1、17A2と17B1、17B2が設けられているが、図1の第1実施例と同様にチップ内部に参照電圧Vref1、Vref2を発生する抵抗分割回路15A、15Bを設けるようにしても良い。

【0027】図7(A)、(B)に示すラッチ内蔵型のNMOSアンプとPMOSアンプは、入力差動トランジスタQ1、Q2とそれぞれドレインが共通接続された第2差動トランジスタQ11、Q12を有し、Q1、Q2とQ11、Q12とでそれぞれアクティブ負荷MOSFET Q3、Q4を共有するようにした二重差動型の構造をなしている。また、第2差動トランジスタQ11とQ12のゲート端子にはそれぞれ第1差動トランジスタQ2とQ1のドレイン電圧が印加され、第2差動トランジスタQ11、Q12の共通ソースには第2の定電流用MOSFET Q15が接続されている。

【0028】そして、入力差動トランジスタQ1、Q2の共通ソースに接続された定電流用MOSFET Q5のゲート端子にはクロック信号CKまたは/CKが印加され、第2の定電流用MOSFET Q15のゲート端子には、逆相のクロック信号/CKまたはCKが印加され、トランジスタQ5とQ15は相補的にオン、オフされる。これにより、図7(A)、(B)に示すラッチ内蔵型のNMOSアンプとPMOSアンプは、クロック信号CKまたは/CKにより本来の定電流用MOSFET Q5がオンされると差動増幅動作を行ない、その後クロック信号CKまたは/CKが反転すると直前に増幅した信号を保持するホールド状態に移行するような動作をする。

【0029】上記のようなラッチ内蔵型のNMOSアンプとPMOSアンプを入力バッファ13A1、13A2および13B1、13B2として使用し伝送線20で接続されたチップからなるシステムにおいては、データの伝送ディレイを、図2(A)、図3(A)に示すようなラッチを内蔵していないNMOSアンプとPMOSアンプを使用したシステムに比べて少なくすることができる。これは、ラッチを内蔵していないNMOSアンプとPMOSアンプを使用したシステムにおけるデータ伝送のディレイは、図6に破線の矢印で示すように、送信側の出力データラッチ15BのディレイTpd-FFと、出力バッファ12BのディレイTpd-outと、伝送線でのディレ

イTpd-LINEと、入力バッファ13A1、13A2でのディレイTpd-INと、入力データラッチ14Aがデータをラッチ可能になるまでのセットアップ時間Tsetupとの和に相当する。これに対し、第2実施例を適用したシステムでは、実線の矢印で示すように、入力バッファ13A1、13A2でのディレイTpd-INが見えなくなるので、その分だけデータ伝送ディレイが少なくなるためである。

【0030】なお、図7のラッチ内蔵型の差動増幅回路の応用例として、次のような半導体集積回路が考えられる。すなわち、従来例を示す図11における入力バッファIBFを構成する差動増幅回路として図7の回路を使用するというものである。このような構成によれば、参照電圧Vref1、Vref2の切り替えによる受信データのジッタを低減するという効果は得られないものの、従来のラッチを内蔵していない差動増幅回路を入力バッファIBFとして使用したシステムに比べて伝送データのディレイを少なくすることができるといふ効果が得られる。

【0031】また、このような実施例においては、出力バッファ12の前端に設けられる出力データレジスタ（図1の14に相当）のデータ取り込みを例えばクロックCKの立上がりタイミングで行ない、NMOSアンプとPMOSアンプのデータ取り込みをクロックCKの立下がりタイミングで行なうようにすることで、出力信号と入力信号が衝突すなわち同時に同一方向に変化したとしても、そのタイミングではNMOSアンプとPMOSアンプがデータの取り込みを行なわないようにしている。これにより、従来の回路で生じていたデータの衝突による受信データのディレイ変動という現象を回避することができる。

【0032】次に、本発明の第3の実施例を、図8および図9を用いて説明する。図8の第3実施例は、第1の実施例（図1）すなわち入力バッファ13A1、13A2および13B1、13B2として、図2（A）と図3（A）に示すようなラッチを内蔵していないNMOSアンプとPMOSアンプを用いたシステムの不具合を改良した実施例である。具体的には、ラッチを内蔵していないNMOSアンプとPMOSアンプを用いた第1の実施例においては、送信データTDATAの出力タイミングとセレクト14の切替えタイミングとの関係やNMOSアンプとPMOSアンプの動作速度の関係で、セレクト14の出力信号Q2にヒゲ状のパルスが生じて内部回路が誤動作する可能性が考えられる。そこで、この第3実施例では、図8に示されているように、送信データTDATAとセレクト14の出力信号Q2とを入力とするイクスクルーシブORゲート18Aを有するハザード防止回路18を設けたものである。

【0033】この実施例におけるハザード防止回路18は、前記イクスクルーシブORゲート18Aと、出力バッファ12の出力段を構成するMOSFET Tr1と

Tr2のゲート端子を駆動するインバータINV1、INV2の出力のいずれかを選択するセレクト18Bと、インバータINV1、INV2の入力のいずれかを選択するセレクト18Cと、セレクト18Bまたは18Cの出力のいずれかを選択するセレクト18Dとから構成されており、セレクト18Bと18Cは送信データTDATAに応じて切替え制御が行なわれ、セレクト18Dは前記イクスクルーシブORゲート18Aの出力によって切替え制御が行なわれるように構成されている。

【0034】図9には、図8の実施例における各信号のタイミングが示されている。図8の実施例は、ハザード防止回路18によって、送信データTDATAとセレクト14の出力信号Q2の論理レベルが異なる時はセレクト14の切替え信号SELの変化タイミングを早くし、送信データTDATAとセレクト14の出力信号Q2の論理レベルが同じ時はセレクト14の切替え信号SELの変化タイミングを遅くするように働く。これにより、セレクト14の出力信号Q2にヒゲ状のパルスが生じて内部回路が誤動作するのを回避することができる。

【0035】なお、入力バッファ13A1、13A2および13B1、13B2として、図7（A）、（B）に示すようなラッチ内蔵型のNMOSアンプとPMOSアンプを用いた第2の実施例（図6）においては、ラッチ回路16A、16Bによるセレクト14A、14Bの出力信号のラッチタイミングを、上記ヒゲが発生するタイミングとずれるように設定することにより、本実施例のようなハザード防止回路18は不要である。

【0036】次に、本発明の第4の実施例を、図10を用いて説明する。図10の実施例は、半導体チップ10A-10B間において伝送線20を介して多値レベルでデータを伝送するようにしたものである。ただし、データの伝達方向は一方方向（図ではAからB）である。図示しないが、逆方向のデータ送信のために半導体チップ10Bから10Aへデータを伝送するための送信回路がチップ10Bに、また受信回路がチップ10Aに設けられる。また、この実施例では、伝送線20の受信端側に終端抵抗Reが設けられる。

【0037】この実施例における送信回路は、2ビットの送信データTDATA-A、TDATA-BをラッチするフリップフロップFF1、FF2と、該フリップフロップFF1、FF2にラッチされたデータを入力とするORゲートG21およびANDゲートG22と、出力ノードが外部端子11Aに接続されたCMOSインバータ19Aおよびプッシュプル出力段19Bとにより構成されている。このうちCMOSインバータ19Aを構成するMOSFET Tr3とTr4のゲート端子には前記フリップフロップFF1の出力信号が入力される。また、プッシュプル出力段19Bを構成するMOSFET Tr1とTr2のゲート端子には前記ORゲートG21とANDゲートG22の出力信号がそれぞれ入力される。

【0038】一方、受信側のチップ10Bの受信回路は、受信データが入力される外部端子10Bに非反転入力端子が接続され、反転入力端子には各々レベルが異なる参照電圧Vref1, Vref2, Vref3 (Vref1>Vref2>Vref3) が印加された3個の差動増幅回路からなる入力回路IBF1, IBF2, IBF3と、入力回路IBF1とIBF2の出力を入力とするORゲートG31と、IBF2の出力とIBF3の反転出力とを入力とするANDゲートG32と、このANDゲートG32の出力と前記入力回路IBF1の出力を入力とするORゲートG33とから構成されている。

【0039】そして、この実施例においては、前記入力回路IBF1, IBF2, IBF3のうちIBF1は差動トランジスタがNチャネルMOSFETからなるNMOSセンスアンプが、またIBF3は差動トランジスタがPチャネルMOSFETからなるPMOSセンスアンプが用いられている。IBF3はNMOSセンスアンプ、PMOSセンスアンプのどちらでもよい。参照電圧Vref1, Vref2, Vref3は、それぞれ電源電圧VDDの6/7, 4/7, 2/7のようなレベルとされる。これによって、参照電圧Vref1とVref3が差動増幅回路のVref設定可能範囲からはずれて入力信号のレベルを判定できなくなるのを回避することができる。

【0040】この実施例における入力回路IBF1, IBF2, IBF3は、図7(A), (B)に示すようなフリップフロップ内蔵型の差動アンプでも、図2(A)および図3(A)のようなフリップフロップを内蔵しな

い通常の差動アンプでも良い。参照電圧Vref1, Vref2, Vref3は図10に示されているように、チップ外部から与えても良いが、チップ内部に抵抗分割回路などからなる参照電圧発生回路を設けても良い。

【0041】次に、本実施例におけるデータの伝送動作について説明する。まず、送信回路は、送信データTDATA-A, TDATA-Bに応じて出力トランジスタTr1~Tr4を選択的にオンさせる。これにより、受信側のチップ10Bの外部端子11Bは、オンされたトランジスタのオン抵抗と伝送線20の終端抵抗Reの抵抗値との比に応じた電位に変化され、この電位が受信側のチップ10Bの差動増幅回路からなる3つの入力回路IBF1, IBF2, IBF3で参照電圧Vref1, Vref2, Vref3と比較されることで判別され、入力回路IBF1, IBF2, IBF3の出力の組合せに応じて論理ゲートG31~G33が送信データTDATA-A, TDATA-Bと同一の受信データRDATA-A, RDATA-Bを復元しフリップフロップFF1, FF2によってラッチされ、内部回路へ供給される。

【0042】次の表1に、送信データTDATA-A, TDATA-Bと、出力トランジスタTr1~Tr4のオン/オフ状態と、伝送線20の電位と、受信側チップの入力回路IBF1, IBF2, IBF3の出力SA1, SA2, SA3と、受信データRDATA-A, RDATA-Bの関係を示す。

【0043】

【表1】

送信データ										受信データ	
TDATA-A	TDATA-B	Tr1	Tr2	Tr3	Tr4	伝送線	SA1	SA2	SA3	RDATA-A	RDATA-B
L	L	ON	OFF	ON	OFF	VDD	H	H	H	L	L
L	H	OFF	OFF	ON	OFF	5VDD/7	L	H	H	L	H
H	L	OFF	OFF	OFF	ON	3VDD/7	L	L	H	H	L
H	H	OFF	ON	OFF	ON	VDD/7	L	L	L	H	H

【0044】表1より、2ビットの送信データTDATA-A, TDATA-Bが4値レベルの信号に変換されて伝送線により伝達され、再び2ビットの受信データRDATA-A, RDATA-Bに正しく復元されることが分かる。

【0045】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体集積回路間の双方向データ送信について説明したが、本発明は半導体集積回路を搭載したボードシステム間での双方向データ送信に利用することができる。

【0046】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記

のとおりである。すなわち、同時双方向インタフェースを有する半導体集積回路の電源電圧が低電圧化されても正確に受信データを判別することができる。また、2つの半導体集積回路間の同時双方向データ伝送の際に、受信データの判別のための参照電圧の切替えによる信号の遅延時間の変動がなく受信データのジッタを小さくすることが可能になるという効果がある。

【図面の簡単な説明】

【図1】本発明を適用した同時双方向インタフェースを有する半導体集積回路およびそれをを用いたシステムの第1の実施例を示すブロック図である。

【図2】入力回路の一例としてのNMOS差動アンプを示す回路図およびそのアンプにおけるVref設定可能電圧と参照電圧Vrefとの関係を示す図である。

【図3】入力回路の一例としてのPMOS差動アンプを示す回路図およびそのアンプにおけるVref設定可能電

圧と参照電圧Vrefとの関係を示す図である。

【図4】第1の実施例における送信データとアンプの出力および受信データとの関係を示すタイミングチャートである。

【図5】同時双方向インタフェースに好適な出力バッファの具体例を示す回路構成図である。

【図6】本発明を適用した同時双方向インタフェースを有する半導体集積回路およびそれを用いたシステムの第2の実施例を示すブロック図である。

【図7】第2の実施例における入力回路の一例としてのPMOS差動アンプおよびNMOS差動アンプを示す回路図である。

【図8】本発明の同時双方向インタフェースの第3の実施例を示す回路構成図である。

【図9】第3の実施例における送信データとアンプの出力および制御信号との関係を示すタイミングチャートである。

【図10】本発明の同時双方向インタフェースの第4の実施例を示す回路構成図である。

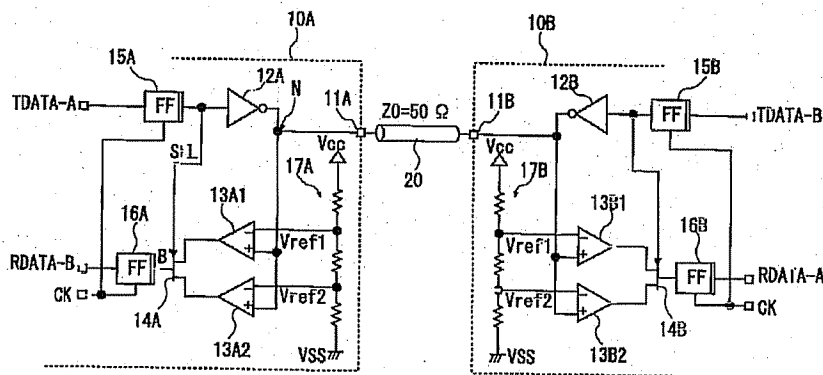
【図11】従来の同時双方向インタフェースの構成例を示す回路構成図である。

【図12】従来の同時双方向インタフェースにおける送信データと観測点（伝送線）の信号と受信データの関係を示すタイミングチャートである。

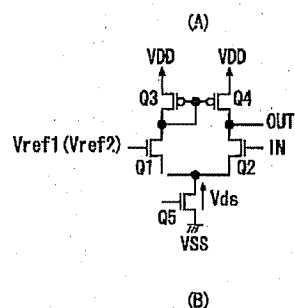
【符号の説明】

- 10A, 10B 半導体チップ（半導体集積回路）
- 11A, 11B 外部端子
- 12A, 12B 出力バッファ
- 13A, 13B 入力バッファ
- 14A, 14B セレクタ
- 15A, 15B 出力データラッチ回路
- 16A, 16B 出力データラッチ回路
- 17A, 17B 抵抗分割回路
- 18 ハザード防止回路

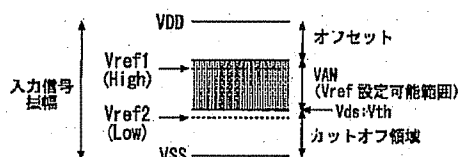
【図1】



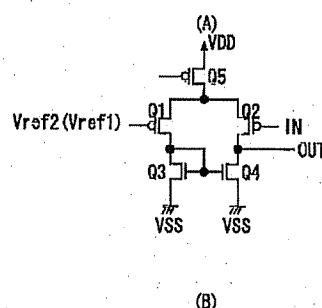
【図2】



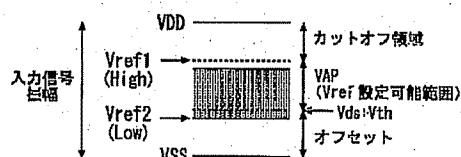
(B)



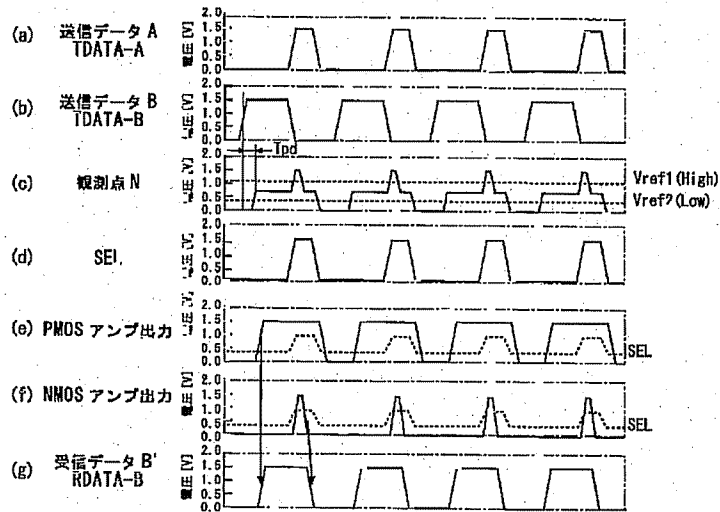
【図3】



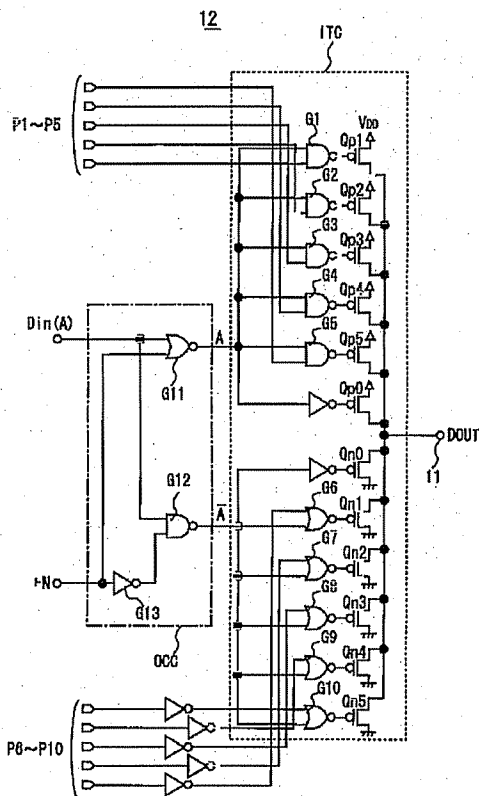
(B)



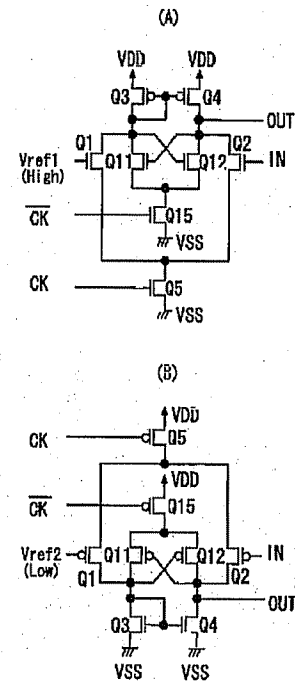
【図4】



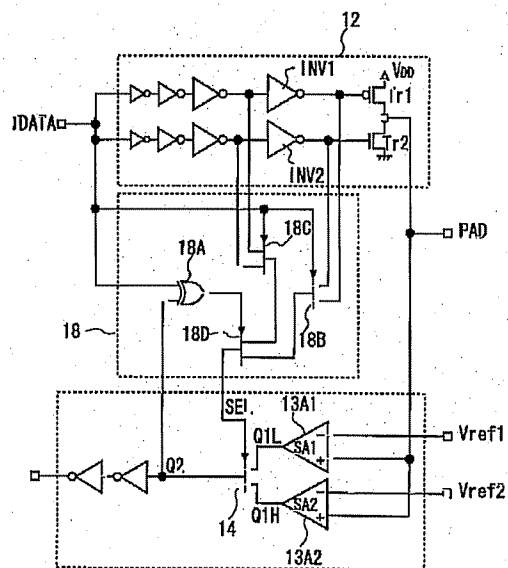
【図5】



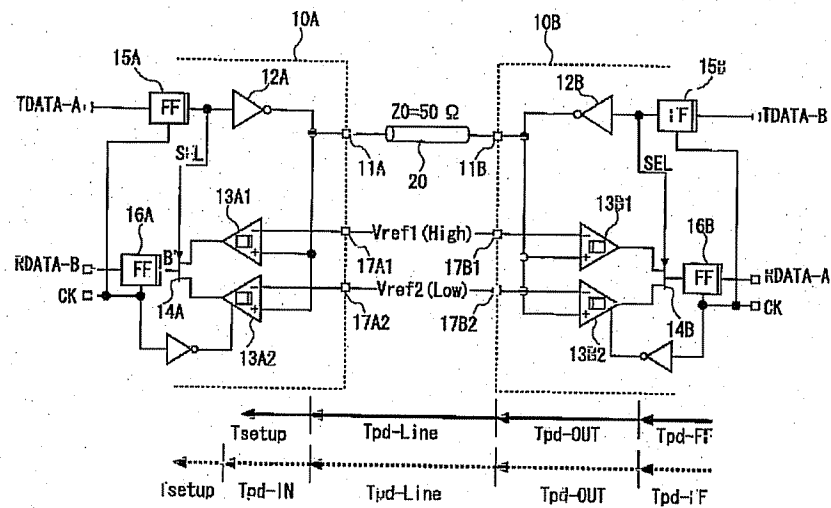
【図7】



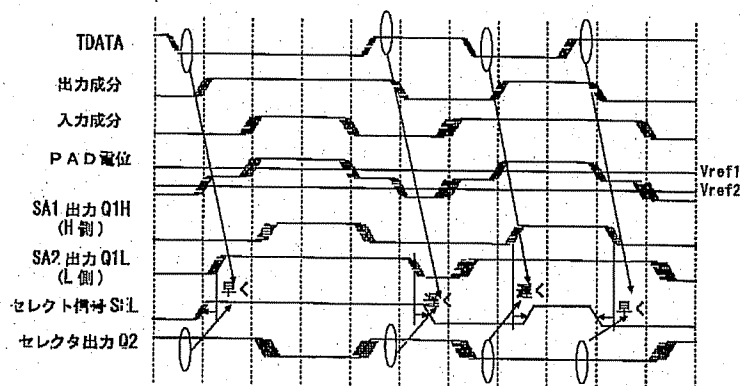
【図8】



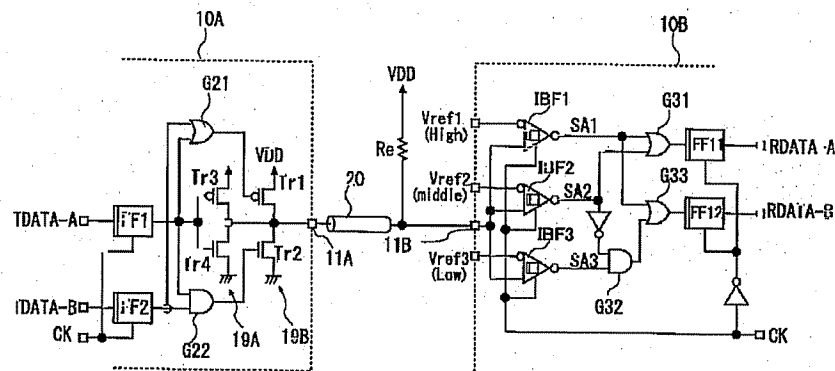
【図6】



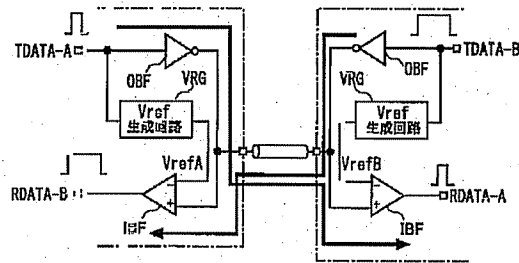
【図9】



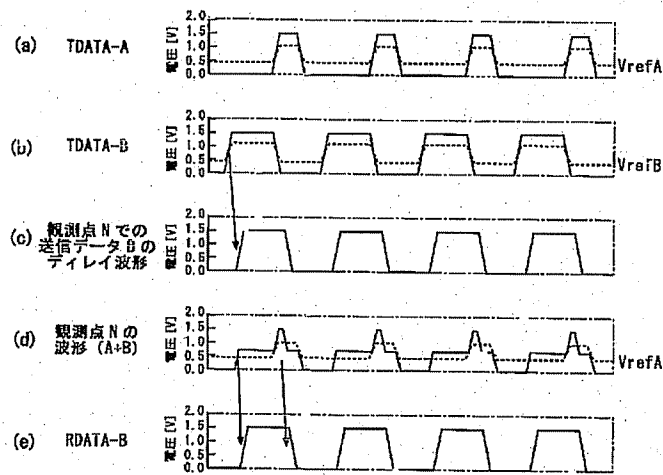
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 高橋 敏郎
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

Fターム(参考) 5J042 BA13 BA18 CA00 CA09 CA14
CA18 DA04
5J056 AA11 AA40 BB16 BB18 BB24
CC00 CC14 DD13 DD28 EE15
FF01 FF09 GG09 KK01
5K029 AA04 CC02 DD02 DD12 GG07
HH08